



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Übersetzung der
europäischen Patentschrift

⑧7 EP 0 660 525 B 1

⑩ DE 694 18 012 T 2

⑤1 Int. Cl.⁶:
H 03 K 19/21
H 03 K 5/00
H 03 B 19/00

- ②1 Deutsches Aktenzeichen: 694 18 012.2
⑧6 Europäisches Aktenzeichen: 94 402 985.9
⑧6 Europäischer Anmeldetag: 22. 12. 94
⑧7 Erstveröffentlichung durch das EPA: 28. 6. 95
⑧7 Veröffentlichungstag
der Patenterteilung beim EPA: 21. 4. 99
④7 Veröffentlichungstag im Patentblatt: 26. 8. 99

- ③0 Unionspriorität:
9315631. 24. 12. 93 FR
⑦3 Patentinhaber:
Bull S.A., Louveciennes, FR
⑦4 Vertreter:
Prinz und Kollegen, 81241 München
⑧4 Benannte Vertragsstaaten:
BE, CH, DE, ES, FR, GB, IT, LI, NL, SE

- ⑦2 Erfinder:
Marbot, Roland, F-78000 Versailles, FR; Le Bihan,
Jean-Claude, F-92120 Montrouge, FR; Cofler,
Andrew, F-75015 Paris, FR; Nezamzadeh-Moosavi,
Reza, F-78390 Bois d'Arcy, FR

⑤4 Frequenzmultiplizierer mit einer Baumstruktur von CMOS logischen Gattern des Typs "Exklusiv-ODER"

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 694 18 012 T 2

DE 694 18 012 T 2

22.04.99

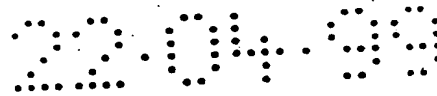
0 660 525 (94402985.9)

Technisches Gebiet

Die Erfindung bezieht sich auf Baumstrukturen aus elektronischen Gattern des Exklusiv-ODER-Typs, die die logische Funktion Exklusiv-ODER oder die inverse Funktion Exklusiv-NICHT-ODER ausführen und gewöhnlich XOR-Gatter (XOR- oder NXOR-Gatter) genannt werden. Sie hat insbesondere eine Baumstruktur aus Exklusiv-ODER-Gattern zum Gegenstand, die in mehreren Schichten angeordnet sind, wobei jedes Gatter einer Schicht zwei Eingänge und einen Ausgang hat, der mit einem Eingang eines Gatters der benachbarten Schicht verbunden ist. Die Erfindung läßt sich insbesondere auf Frequenzmultiplizierer anwenden, die solche Baumstrukturen umfassen. Sie hat ferner die integrierte Schaltung zum Gegenstand, die eine solche Baumstruktur in einer Kombination umfaßt, aus der beispielsweise ein Frequenzmultiplizierer gebildet ist. Die Integration ist in der MOS-Technologie (MOS = Metalloxid-Halbleiter) und insbesondere in der Technologie der komplementären Transistoren, die CMOS genannt wird, ausgeführt.

Stand der Technik

In der IBM-Veröffentlichung Technical Disclosure Bulletin, Bd. 26, Nr. 3A, August 1983, Seiten 990-991, I. Hernandez Jr., "Frequency Multiplier Using Delay Circuits" ist ein Frequenzmultiplizierer beschrieben, der aus einer Kette von Verzögerungsschaltungen aufgebaut ist, deren Ausgänge mit den jeweiligen Eingängen einer Baumstruktur aus XOR-Gattern verbunden sind. Die in dieser Veröffentlichung gezeigte Baumstruktur ist aus Gattern mit zwei Eingängen und einem Ausgang gefertigt, der mit einem Eingang eines Gatters der benachbarten Schicht verbunden ist, wobei dessen zweiter Eingang direkt mit dem Ausgang einer jeweiligen Verzögerungsschaltung der Kette verbunden ist. Jedes Gatter bildet somit eine verschiedene Schicht der Baumstruktur. Anders ausgedrückt weist die Baum-

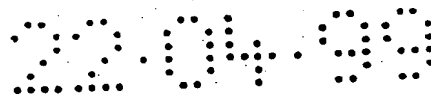


struktur ebenso viele Schichten auf, wie die Kette Verzögerungsschaltungen besitzt, wobei jede Schicht zwei Zweige hat, wovon einer zu den vorhergehenden Gattern zurückführt und der andere zu einem jeweiligen Ausgang der Kette weiterführt. Es tritt somit in den beiden Zweigen eine Asymmetrie der Signallaufzeiten auf, wobei diese Asymmetrie zum Ausgang der Baumstruktur hin wächst. In dem Ausgangssignal der Baumstruktur kann sich die Zeit bis zum Wiederauftreten der gleichen Flanke stark ändern, wenn seine Frequenz erhöht wird. Der in dieser Veröffentlichung beschriebene Frequenzmultiplizierer ist deshalb nicht für sehr hohe Frequenzen, z. B. über einem GBit pro Sekunde, geeignet.

Das Dokument EP-A-0441684 beschreibt einen Frequenzmultiplizierer, bei dem die aufeinanderfolgenden Ausgänge der Kette von Verzögerungsschaltungen durch einen Phasenregelkreis gesteuert werden und alle an die jeweiligen Eingänge der ersten Schicht der Baumstruktur aus XOR-Gattern gelegt werden. Die folgenden Schichten besitzen um die Hälfte weniger Gatter, so daß die letzte Schicht nur aus einem Gatter besteht. Diese Baumstruktur garantiert somit für jedes Eingangssignal eine im wesentlichen gleiche Ausbreitung und ist für sehr hohe Frequenzen geeignet.

Jedoch muß die Baumstruktur für solche Frequenzen gleiche Laufzeiten von ihren jeweiligen Eingängen bis zum Ausgang garantieren, und dies unabhängig von der zu sendenden Flanke. Wenn dies der Fall ist, wird die Baumstruktur als symmetrisch bezeichnet. Die Symmetrie bedingt somit, daß in der integrierten Schaltung alle Gatter der Baumstruktur auf identische Weise entworfen sind, so daß sie unabhängig vom aktiven Eingang und unabhängig von der zu sendenden Flanke gleiche Laufzeiten liefern und ihre Ladungen identisch sind.

Um alle diese Bedingungen zu erfüllen, stellt sich ein erstes Problem aufgrund der Tatsache, daß ein XOR-Gatter ein Signal, das an seinen ersten Eingang angelegt wird, in Abhängigkeit von dem Zustand seines zweiten Eingangs invertieren kann oder nicht, wobei dieser Zustand während des Umschaltens stabil



bleibt. Folglich kann den Zuständen der Eingänge der Baumstruktur entsprechend eine am Ausgang ansteigende Flanke nur durch ansteigende Flanken in der Baumstruktur, durch eine Mehrheit von fallenden Flanken oder durch irgendeine Zwischenkonfiguration erzeugt werden. In umgekehrter Weise gilt dies für eine am Ausgang der Baumstruktur fallende Flanke.

Weitere Probleme stellen sich, wenn die Technologie der integrierten Schaltungen mit komplementären Feldeffekttransistoren mit isoliertem Gate angewandt wird, die gewöhnlich als CMOS-Technologie (CMOS = Complementary Metal-Oxide-Silicon) bezeichnet wird. Diese Technologie bietet den Vorteil, Gatter zu verwenden, die auf der Grundlage einer Inverteranordnung hergestellt sind, die einfach aus zwei komplementären NMOS- und PMOS-Transistoren (des Typs N bzw. des Typs P) bestehen, die zwischen die beiden Versorgungsspannungen V_{dd} und V_{ss} in Serie geschaltet sind. Das Eingangssignal wird an die Gates der beiden Transistoren angelegt, während das Ausgangssignal zum Verbindungspunkt der Drains der beiden Transistoren geführt wird. Der PMOS-Transistor garantiert das Durchschalten der steigenden Flanken, während die fallenden Flanken durch den NMOS-Transistor erzeugt werden. Die mit dieser Technologie verbundene Asymmetrie verhindert, daß die Symmetriebedingung der Baumstruktur erfüllt ist. Diese Einschränkung wirkt sich vor allem auf den Ladungsabgleich aus. Dieser letzten Einschränkung wird teilweise entgegengewirkt, indem die Verdrahtungslängen zwischen benachbarten Gattern abgeglichen werden, jedoch liegt die Einschränkung eher im Ausgleich der internen Ladungen als in dem der Ladungen der Gatter.

Wenn schließlich angenommen wird, daß die beiden Probleme gelöst sind, muß noch dafür gesorgt werden, daß die direkten und invertierten Eingänge der Eingangsgatter der Baumstruktur gleichzeitig gegensinnig schalten. Diese Bedingung ist im allgemeinen in der CMOS-Technologie nicht erfüllt, bei der die einzige Art, das inverse Signal zu erhalten, das Hinzufügen eines Inverters ist. Jedoch bewirkt die Zeit zum Durchlaufen

dieses Inverters, daß das direkte Signal und seine Inverse nicht exakt zum gleichen Zeitpunkt schalten.

Das IBM-Dokument Technical Disclosure Bulletin, Bd. 32, Nr. 7, Dezember 1989, Seiten 464-467, New York, USA, "Fast Parity Tree" beschreibt eine Baumstruktur für die Parität, die eine schnelle Berechnung des Paritätsbits eines Bytes ermöglicht. Die Geschwindigkeit ist höher dank der Verwendung von XOR- und XNOR-Gatter in der CMOS-Technologie, die statt der 7 Stufen in den herkömmlichen Gattern nur zwei Transistorstufen einsetzt. Da die Gatter zu jedem Eingangssignal komplementäre Signale benötigen, ist jedes XOR-Gatter mit einem komplementären XNOR-Gatter verbunden, um einfach die komplementären Signale an die nachfolgenden Gatter zu liefern. Jedoch hängt das Geschwindigkeitsproblem der Berechnung des Paritätsbits keinesfalls mit den oben dargelegten Problemen in bezug auf einen Frequenzmultiplizierer zusammen. Gemäß einem der Hauptgründe beeinflußt die Asymmetrie der Signale in einer Baumstruktur für die Parität nicht die Berechnung des Paritätsbits. Im Gegenteil wird in bezug auf einem Frequenzmultiplizierer die Asymmetrie zu einer grundlegenden Bedingung, vor allem dann, wenn das daraus resultierende Signal als Taktgeber dient. Gemäß einem anderen Hauptgrund bewirkt die Symmetrie der Signale, daß jede Schicht der Baumstruktur die Signale um eine gleiche Verzögerungszeit verschiebt und die Baumstruktur gegenüber einer Verzögerung der Signale in jeder Schicht unempfindlich macht.

Das US-Patent Nr. 5 180 994 beschreibt einen spannungsgesteuerten Ringoszillator, der aus einer Anzahl differentieller in Kaskade geschalteter Inverterstufenpaare gebildet ist. Die komplementären Ausgangssignale der Inverterstufen werden jeweils an Mischschaltungen angelegt, die vorzugsweise aus vollständig abgeglichenen differentiellen CML-Exklusiv-ODER-Gattern gebildet sind, wovon jedes zwei um 90° gegeneinander phasenverschobene komplementäre Eingangssignale empfängt und ein komplementäres Ausgangssignal mit der doppelten Frequenz der Eingangssignale ausgibt.

Die Erfindung

Mit der vorliegenden Erfindung kann eine Baumstruktur in der CMOS-Technologie erhalten werden, die unabhängig vom aktiven Eingang der Baumstruktur und der zu sendenden Flanke exakt gleiche Laufzeiten liefert.

Die Erfindung hat eine Baumstruktur aus Gattern des Exklusiv-ODER-Typs mit zwei Eingängen zum Gegenstand, wobei die Gatter in aufeinanderfolgenden Schichten angeordnet sind, die bei einer Eingangsschicht beginnen, die Eingangssignale empfängt, und wobei der Ausgang jedes Gatters mit einem Eingang eines Gatters der benachbarten Schicht verbunden ist. Die Baumstruktur ist dadurch gekennzeichnet, daß jedes Gatter zwei Zellen enthält, die als Antwort auf zwei jeweilige komplementäre Signale von einem der beiden Eingänge im wesentlichen gleichzeitig schalten und jeweilige Ausgangssignale liefern, die komplementäre Funktionen des Typs Exklusiv-ODER repräsentieren.

Die Erfindung hat außerdem einen Frequenzmultiplizierer zum Gegenstand, wie er in Anspruch 1 definiert ist.

Die Erfindung hat außerdem die integrierte Schaltung, die diesen Frequenzmultiplizierer enthält, zum Gegenstand.

Die Erfindung geht aus der Beschreibung der in der beigefügten Zeichnung gezeigten Beispiele hervor, worin

Fig. 1 schematisch die Struktur eines Frequenzmultiplizierers zeigt, der eine Baumstruktur aus XOR-Gattern umfaßt,

Fig. 2 ein Diagramm ist, das die Funktionsweise des in Fig. 1 gezeigten Frequenzmultiplizierers zeigt,

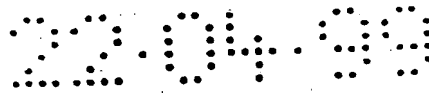
Fig. 3 schematisch ein erstes Beispiel eines in CMOS-Technologie ausgeführten Gatters der in Fig. 1 gezeigten Baumstruktur zeigt,

Fig. 4 schematisch ein zweites Beispiel eines in CMOS-Technologie ausgeführten Gatters der in Fig. 1 gezeigten Baumstruktur zeigt, und

Fig. 5 schematisch eine Eingangszelle zur Erzeugung komplementärer Signale eines Eingangs eines z. B. in Fig. 3 oder 4 gezeigten Gatters der Eingangsschicht der in Fig. 1 gezeigten Baumstruktur zeigt.

In Fig. 1 hat eine Baumstruktur 10 aus XOR-Gattern 11 einen Eingangsanschluß 10a, der acht Eingangssignale CL0-CL7 empfängt, und einen Ausgangsanschluß 10b, der ein Ausgangssignal 8CL0 liefert. Die Gatter 11 sind in mehreren Schichten, in dem gezeigten Beispiel in drei Schichten, angeordnet, wobei ihre jeweiligen Ausgänge mit einem Eingang eines Gatters der benachbarten Schicht verbunden sind. Die erste Schicht, die die Eingangsschicht bildet, enthält vier Gatter, deren acht Eingänge den Eingangsanschluß 10a bilden und die acht Eingangssignale CL0-CL7 empfangen und deren vier Ausgänge die vier Signale 2CL0-2CL3 liefern. Die zweite Schicht enthält zwei Gatter 11, die die zwei Signale 4CL0 und 4CL1 liefern, und die dritte Schicht, die die Ausgangsschicht bildet, enthält nur ein Gatter 11, das das Ausgangssignal 8CL0 liefert. Die gezeigte Baumstruktur 10 bildet einen Frequenzmultiplizierer 12 mit einer Kette von Verzögerungsschaltungen 13. Der Frequenzmultiplizierer 12 hat einen Eingangsanschluß 12a, der ein äußeres Signal, z. B. ein Taktsignal CL, empfängt, während die Kette acht Verzögerungsschaltungen 13 enthält, deren Ausgänge die acht Eingangssignale CL0-CL7 liefern.

Fig. 2 ist ein Diagramm, das die Signalformen aller in Fig. 1 angegebenen Signale zeigt, und somit die Funktionsweise der Frequenzmultiplizierers 12 veranschaulicht. Die acht Verzögerungsschaltungen rufen alle die gleiche Verzögerung hervor und haben das gemeinsame Zeitintervall T zwischen zwei vorgegebenen, sich wiederholenden Flanken des Taktsignals CL, wobei die Flanken in dem gezeigten Beispiel ansteigen. Das Taktsignal CL ist somit zur Erzeugung der acht Eingangssignale CL0-CL7



fortlaufend um $T/8$ versetzt. Die Frequenz dieser Signale wird in jeder der aufeinanderfolgenden Schichten der Baumstruktur 10 mit 2 multipliziert. In dem gezeigten Beispiel hat das Ausgangssignal 8CL0 eine Frequenz, die achtmal höher ist als die des Taktsignals CL.

Fig. 3 zeigt ein erstes in der CMOS-Technologie ausgeführtes Beispiel eines Gatters 11 des in dem obenerwähnten IBM-Dokument Technical Disclosure Bulletin, Bd. 32 Nr. 7, "Fast Parity Tree" beschriebenen Typs. Jedes Gatter 11 enthält zwei komplementäre Zellen 11a und 11b, die jeweils am XOR- und XNOR-Ausgang Signale liefern, die komplementäre Exklusiv-ODER-Funktionen der Eingangssignale repräsentieren. In dem in Fig. 3 gezeigten Beispiel sind die Eingangssignale mit A und B bezeichnet und ihre Inversen mit NA und NB. So sind A, NA und B, NB die vier komplementären Signale der zwei Eingänge. Jede der gezeigten Zellen 11a und 11b besteht aus zwei Paaren 14, 14' komplementärer Zweige 14n, 14p und 14'n, 14'p, die in einem gemeinsamen Punkt vereinigt sind, der den Ausgang der Zelle bildet und die jeweiligen XOR- und NXOR-Signale liefern. Jeder Zweig enthält zwei Transistoren, deren Drain-Source-Strompfade zwischen einer Versorgungsspannung und dem gemeinsamen Punkt in Serie geschaltet sind. Die zwei Zweige 14p und 14'p sind mit der H-Versorgungsspannung Vdd verbunden und enthalten zwei PMOS-Transistoren Pa, Pb, während die zwei anderen Zweige 14n und 14'n mit der L-Versorgungsspannung Vss verbunden sind und zwei NMOS-Transistoren Na, Nb enthalten. In dem Paar komplementärer Zweige 14p und 14n empfängt das Paar komplementärer Transistoren Pa und Na an ihren Gates das Eingangssignal A, während in dem Paar komplementärer Zweige 14'p und 14'm das Paar komplementärer Transistoren Pa und Na an ihren Gates das zum Eingangssignal A komplementäre Signal NA empfängt. Die zwei Paare komplementärer Transistoren Pa, Na sind jeweils mit den zwei entsprechenden komplementären Transistoren Pb und Nb, die an ihren Gates die komplementären Signale B, NB des anderen Eingangs empfangen, in Serie angeordnet. Somit sind die vier Zweige jeder Zelle völlig symmetrisch. Zu jedem Zeitpunkt sind zwei komplementäre Zweige in

einer Zelle aktiv. Zum Beispiel sei angenommen, daß $B=0$, $NB=1$ sind und A das Schaltsignal ist. In dem Paar von Zweigen 14 der XOR-Zelle 11b sind der Transistor Pb und der Transistor Nb aktiv. Der Ausgang NXOR schaltet somit unter der Einwirkung des Schaltens von A in dem Zweig 14p oder in dem Zweig 14n, je nachdem, ob die Flanke des Eingangssignals fallend oder steigend ist. Das andere Paar von Zweigen 14' ist in diesem Fall inaktiv. Symmetrisch sind in der XOR-Zelle 11a die komplementären Zweige 14p und 14'n aktiv, so daß sie jeweils auf eine steigende Flanke oder eine fallende Flanke von NA antworten. Die zwei Zellen 11a, 11b schalten also im wesentlichen gleichzeitig als Antwort auf jeweils komplementäre Signale des einen der zwei Eingängen, das Gatter 11b unter der Einwirkung von A und das Gatter 11a unter der Einwirkung von NA, und alle beide auf völlig symmetrische Weise. Dasselbe gilt für den anderen Eingang B. Kurz gesagt enthält jedes Gatter 11 zwei Zellen 11a, 11b, die als Antwort auf zwei jeweils komplementäre Signale A, NA und B, NB des einen von zwei Eingängen im wesentlichen gleichzeitig schalten und Ausgangssignale liefern, die jeweils die komplementären Funktionen XOR und NXOR des Typs Exklusiv-ODER repräsentieren.

Indessen ist jeder Zweig aus zwei in Serie geschalteten Transistoren gebildet. Damit die Laufzeiten des einen oder des anderen Eingangs am Ausgang identisch sind, besteht eine Lösung darin, den mit Vdd oder Vss verbundenen Transistor im Verhältnis zu dem mit dem Ausgang verbundenen Transistor größer auszulegen. In einer 0,5- μ m-Technik beträgt z. B. das Größenverhältnis der beiden Transistoren des Zweiges 1,25. Dieses Verhältnis garantiert im wesentlichen identische Laufzeiten. Jedoch erweist es sich als schwierig, diese Lösung in bestimmten technologischen Verfahren oder unter bestimmten Bedingungen umzusetzen. Zum Beispiel ist es nicht möglich, ein Verhältnis zwischen den beiden Transistoren eines gleichen Zweiges zu finden, derart, daß die Laufzeiten vergleichbar wären.

Fig. 4 zeigt eine Lösung, die eine völlige Symmetrie der Laufzeiten garantiert. Diese Lösung besteht darin, jeden der Zweige 14p, 14n, 14'p und 14'n in Gabelzweige 114p, 114n, 114'p und 114'n aufzuspalten, in denen die Eingänge überkreuzt sind. Zum Beispiel ist in der in Fig. 3 gezeigten XOR-Zelle 11a der Zweig, der die Eingänge B und NA empfängt, in der entsprechenden Zelle der Fig. 4 in die Gabelzweige 14p, 11'p aufgespalten, in denen die Eingänge überkreuzt sind: der Zweig 14p bleibt unverändert, während im Zweig 114p der Eingang NA an den Transistor nahe des Potentials Vdd gelegt ist und umgekehrt für den Eingang B. So ist die Eingangsimpedanz hinsichtlich des Eingangs NA aus den zwei in Serie geschalteten Transistoren des Zweigs 14p gebildet und die parallele aus dem Transistor nahe Vdd im Zweig 114p. Auf gleiche Weise ist die Eingangsimpedanz hinsichtlich des Eingangs B aus dem Transistor Pb des Zweigs 14p gebildet und die parallele aus den zwei in Serie geschalteten Transistoren des Zweigs 114p. Allgemeiner ausgedrückt weist jeder der Eingänge A, NA, B und NB aufgrund der überkreuzten Eingänge in den Gabelzweigen im wesentlichen die gleiche Eingangsimpedanz auf, die aus der Parallelanordnung der zwei in Serie geschalteten Transistoren und des Transistors nahe der Versorgungsspannung in dem Gabelzweig gebildet ist. Der Ausgleich der Eingangsimpedanzen verleiht den Eingangssignalen A, NA, B und NB dieselben Laufzeiten in jeder der Zellen 11a und 11b eines Gatters 11 und bewahrt deren Symmetrie.

Nun kann das Verhalten der Baumstruktur 10, die aus Schichten von in den Fig. 3 und 4 gezeigten Gattern 11 gebildet ist, analysiert werden. Zur einfacheren Erläuterung soll angenommen werden, daß der Ausgang 10b der Baumstruktur 10 unter der Einwirkung einer Kette schaltet, die nicht über die Eingänge A oder NA der Gatter in den verschiedenen Schichten geht. Unter Berücksichtigung der völligen Symmetrie der Gatter 11 zwischen den Eingängen A und B weist dieser Fall im Verhältnis zu den anderen Eingängen B und NB kein besonderes Verhalten auf. Es sei außerdem angenommen, daß der Ausgang 10b der Baumstruktur 10 durch eine steigende Flanke schaltet, wobei die Überlegungen

ebenfalls für eine fallenden Flanke gelten würden. Es ist bekannt, daß diese steigende Ausgangsflanke durch einen Transistor P in der letzten Schicht von Gattern 11 der Baumstruktur erzeugt wird. Es ist nicht bekannt, wie dieser Transistor P durch das Signal NA gesteuert wird, da dies vom Zustand des Signals B abhängt. Jedoch hat diese Ungewißheit aufgrund der völligen Symmetrie zwischen A und NA keinen Einfluß auf das Ergebnis. Was mit Gewißheit bekannt ist, ist, daß das Signal A oder NA, das das Schalten des Ausgangs 10b auf H-Pegel bewirkte, ein Signal mit fallender Flanke war. Das entsprechende komplementäre Signal NA oder A war somit eine steigende Flanke, die keine Auswirkung auf das Schalten des Ausgangs hatte, da es an den inaktiven Zweigen der Zellen anlag. Das aktive Signal mit fallender Flanke ist somit in der vorletzten Schicht von Gattern 11 durch einen Transistor N erzeugt worden. Die gleichen Überlegungen wie zuvor können in bezug auf die vorletzte Schicht der Baumstruktur 10 angewandt werden. Kurz gesagt hat dieser aktive Transistor N (Na oder Nb) unter Einwirkung einer steigenden Flanke geschaltet. Werden diese Überlegungen bis zu den Eingängen 10a der Baumstruktur 10 fortgesetzt, verläuft der Schaltweg, wenn die Anzahl der Schichten der Baumstruktur geradzahlig ist, durch so viele Transistoren N wie Transistoren P, wenn die Anzahl der Schichten der Baumstruktur geradzahlig ist. Unter diesen Bedingungen ist die Laufzeit in der Baumstruktur 10 für jede Flanke dieselbe.

Die Bedingung der Symmetrie wird nun auf den Eingang 10a der Baumstruktur 10 übertragen, wobei die komplementären Eingänge gleichzeitig in entgegengesetztem Sinn schalten müssen. Diese Bedingung ist in der CMOS-Technologie nicht üblich, bei der die einzige Art zur Erlangung der Inversen eines Signals das Hinzufügen eines Inverters ist. Jedoch weist das inverse Signal aufgrund des Einfügens dieses Inverters eine Verschiebung gegenüber dem direkten Signal um die Zeitperiode des Durchlaufens des Inverters auf. Zu dieser Asymmetrie kommt in einem geringeren Maße die Asymmetrie zwischen dem Transistor P und dem Transistor N dieses Inverters noch hinzu.

Um diese Schwierigkeit zu umgehen, stammen die an jedes Gatter 11 der ersten Schicht der Baumstruktur 10 angelegten komplementären Signale A, NA und B, NB von zwei jeweiligen Eingangssignalen der acht Eingangssignale CL0-CL7 der Fig. 1 und werden durch die zwei entsprechenden Eingangszellen 15 erzeugt. Fig. 5 zeigt ein Ausführungsbeispiel der Eingangszelle 15 in bezug auf das Eingangssignal CL0, das von dem entsprechenden Eingangsanschluß 10a der Baumstruktur 10 stammt und an den Eingang der Eingangszelle 15 angelegt wird. In der gezeigten Zelle 15 führt der Eingang CL0 über einen direkten Weg, der den Eingang A liefert, und über einen inversen Weg, der den inversen Eingang NA liefert. Der direkte Weg enthält zwei in Serie geschaltete CMOS-Inverter 16, während der inverse Weg einen CMOS-Inverter 17 enthält, der mit einer Anordnung 18 aus zwei Durchgangstransistoren (pass-transistor) Np und Pp des komplementären Typs, deren Drain-Source-Strompfade parallel verlaufen und deren Gates mit den jeweiligen Versorgungsspannungen Vdd und Vss verbunden sind, in Serie geschaltet ist. Der umgekehrte Weg invertiert das Eingangssignal CL0 aufgrund des Inverters 17 und verzögert dieses aufgrund der Anordnung 18 aus Durchgangstransistoren. Der Inverter 17 und die Anordnung 18 sind so dimensioniert, daß sie Laufzeiten hervorrufen, die so gut wie möglich gleich den jeweiligen Laufzeiten in den zwei Invertern 16 des direkten Weges sind. Selbstverständlich arbeiten der Inverter 17 und die Anordnung 18 nicht auf die gleiche Weise, so daß diese Kompensation nur näherungsweise sein kann. Jedoch wird die Eingangszelle 15 nur einmal durchlaufen, während die Gatter 11 so oft durchlaufen werden, wie es Schichten in der Baumstruktur 10 gibt. Der Unterschied in der Laufzeit, der folglich auftreten kann und den es zu minimieren gilt, kumuliert somit nicht.

In der Praxis ist es mit den in den Fig. 3 und 4 gezeigten Gattern gelungen, die Laufzeiten in einer Baumstruktur 10 aus vier Schichten trotz der Streuungen in der Herstellung, in den Temperaturen und den Versorgungsspannungen mit einer Genauigkeit von einigen Zehn Picosekunden abzugleichen.

Verschiedene Varianten können in bezug auf die hier beschriebene Baumstruktur 10 durch den Fachmann durchgeführt werden. Zum Beispiel kann vorgesehen werden, daß die Eingangszelle 15 auf einen Weg begrenzt ist, der einen Inverter umfaßt, der das Eingangssignal NA liefert, und einen Weg, der die Anordnung 18 umfaßt und das Eingangssignal A liefert.

Die Erfindung hat somit einen Frequenzmultiplizierer zum Gegenstand, der eine Kette von Verzögerungsschaltungen enthält, deren Ausgänge an die entsprechenden Eingänge einer Baumstruktur aus erfindungsgemäßen XOR-Gattern gelegt sind. Die Kette kann einfach die in der in der Einführung zitierten Veröffentlichung beschriebene oder die ebenfalls in dem in der Einführung zitierten Dokument beschriebene oder auch eine beliebige andersartige Kette sein. Im allgemeinen versteht ein Fachmann sehr gut, mit einer Baumstruktur aus Exklusiv-ODER-Gattern umzugehen, unabhängig vom Multiplikationsfaktor, von einer geraden oder ungeraden Anzahl mit einer geraden oder ungeraden Anzahl von Schichten, in der die beiden Eingänge jedes Gatters auf verschiedene Weise verbunden sein können, um den gewünschten Multiplikationsfaktor zu erzielen. Mit anderen Worten ist wohlbekannt, daß, wenn die Anzahl von Schichten theoretisch ungerade ist, zur Konstruktion einer Baumstruktur in der CMOS-Technologie auf minimale Weise und mit dem gewünschten Multiplikationsfaktor eine Schicht hinzugefügt werden muß und folglich die Gatter jeder Schicht verbunden werden müssen, derart, daß der gewünschte Multiplikationsfaktor erzielt wird. Jedoch ist bekannt, daß eine ungerade Anzahl von Schichten nur den Nachteil der ungeraden letzten Schicht mitsichbringt, während die gerade Anzahl vorhergehender Schichten eine völlige Symmetrie garantiert. Folglich kann eine ungerade Anzahl erhalten bleiben, wenn der globale Fehler in einer Baumstruktur mit einer ungeraden Anzahl von Schichten innerhalb der zulässigen Toleranzen liegt.

0 660 525 (94402985.9)

Patentansprüche

1. Frequenzmultiplizierer, mit einer Baumstruktur (10) aus Gattern des Exklusiv-ODER-Typs (11) mit zwei Eingängen (A, B), wobei die Gatter in aufeinanderfolgenden Schichten angeordnet sind, die bei einer Eingangsschicht beginnen, die Eingangssignale (CL0-CL7) empfängt, die zwischen ihnen sukzessive verzögert werden, um eine einer gegebenen Frequenz entsprechende Periode (T) zu unterteilen, und bei einer Ausgangsschicht enden, die aus einem einzigen Gatter gebildet ist, das ein Ausgangssignal mit einer vielfachen Frequenz der gegebenen Frequenz liefert, wobei der Ausgang jedes Gatters mit Ausnahme des Ausgangsgatters mit einem Eingang eines Gatters der benachbarten folgenden Schicht verbunden ist, wobei jeder der beiden Eingänge jedes Gatters zwei komplementäre Signale (A, NA; B, NB) repräsentiert und jedes Gatter zwei Zellen (11a, 11b) enthält, die als Antwort auf zwei jeweilige komplementäre Signale von einem der beiden Eingänge im wesentlichen gleichzeitig schalten und jeweilige Ausgangssignale liefern, die komplementäre Funktionen (XOR, NXOR) des Typs Exklusiv-ODER repräsentieren und den Ausgang des Gatters bilden, dadurch gekennzeichnet, daß, da jede Zelle in einer Technologie mit komplementären Feldeffekttransistoren mit isoliertem Gate (CMOS) hergestellt ist, jede Zelle ein erstes Paar komplementärer Transistoren (Na, Pa), die einen (A) der Eingänge empfangen, sowie ein zweites Paar komplementärer Transistoren (Na, Pa), die das komplementäre Signal (NA) des Eingangs empfangen, enthält, wobei die zwei Transistorpaare an einem gemeinsamen Punkt zwischen den Drains der komplementären Transistoren verbunden sind und wobei jeder der Transistoren dieser zwei Paare mit einem der zwei jeweiligen komplementären Transistoren (Nb, Pb), die die komplementären Signale des anderen Eingangs

(B, NB) empfangen, in Serie geschaltet ist, wobei die beiden Paare und ihre komplementären Transistoren vier Zweige (14n, 14p, 14'n, 14'p) bilden, die im gemeinsamen Punkt vereinigt sind, der auch den Ausgang der Zelle bildet, wobei jeder (14p) der Zweige in zwei parallele Gabelzweige (14p, 114p) aufgespalten sind, in denen die Eingänge überkreuzt sind.

2. Frequenzmultiplizierer nach Anspruch 1, dadurch gekennzeichnet, daß die Anzahl der Schichten der Baumstruktur geradzahlig ist.

3. Frequenzmultiplizierer nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Eingangssignale (CL0-CL7) der Baumstruktur in die entsprechenden Eingänge der Gatter der Eingangsschicht über Eingangszellen (15) eingegeben werden, die symmetrische komplementäre Signale jedes der Eingangssignale erzeugen.

4. Frequenzmultiplizierer nach Anspruch 3, dadurch gekennzeichnet, daß jede Eingangszelle einen Weg, der einen Inverter (16), sowie einen zweiten Weg umfaßt, der eine Anordnung (18) komplementärer Durchlaßtransistoren (Np, Pp) enthält, deren Drain-Source Pfade parallgeschaltet sind und deren Gates an zwei Versorgungspotentiale (Vdd, Vss) angeschlossen sind.

5. Integrierte Schaltung, dadurch gekennzeichnet, daß sie einen Frequenzmultiplizierer nach einem der Ansprüche 1 bis 4 enthält.

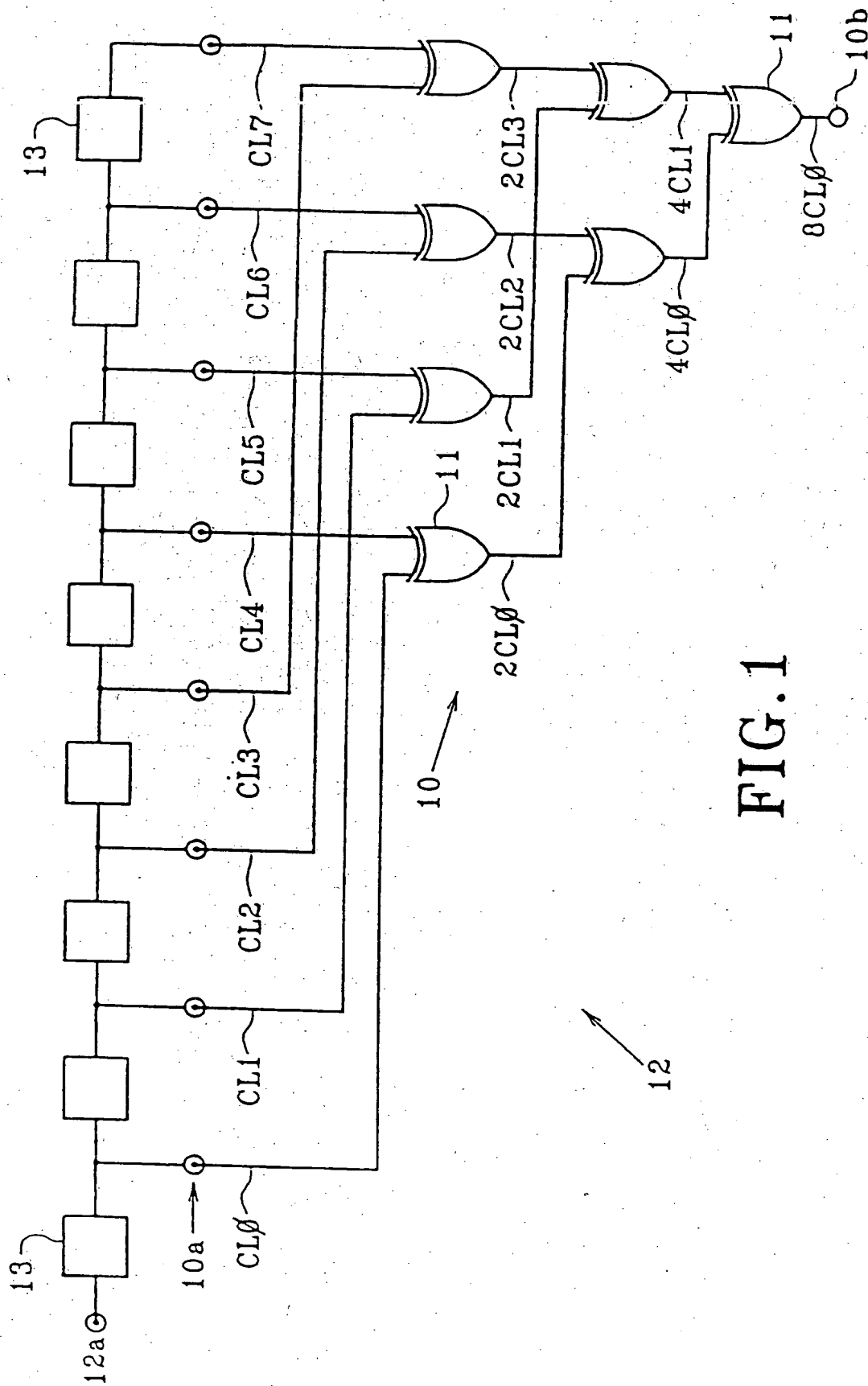


FIG. 1

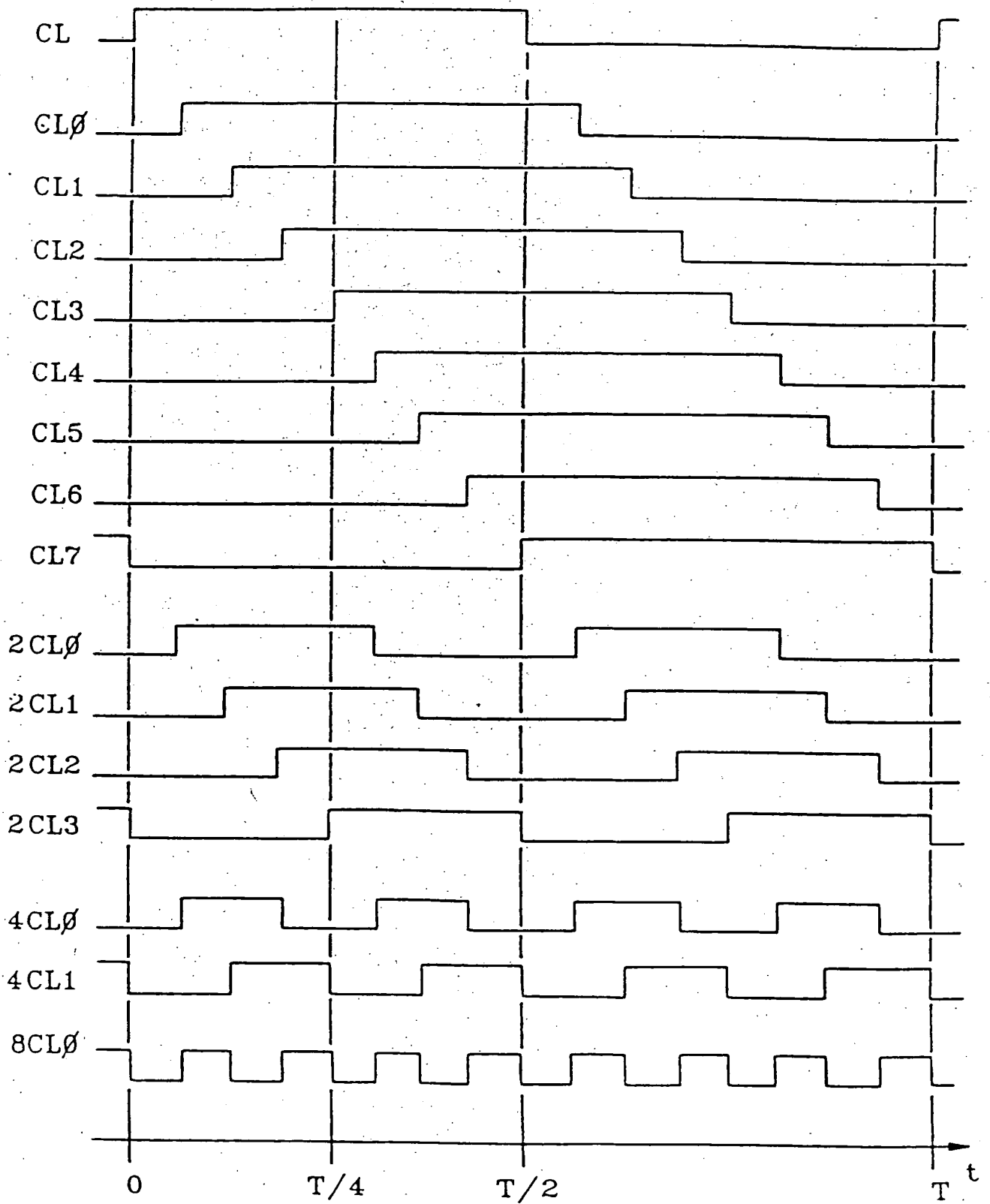


FIG.2

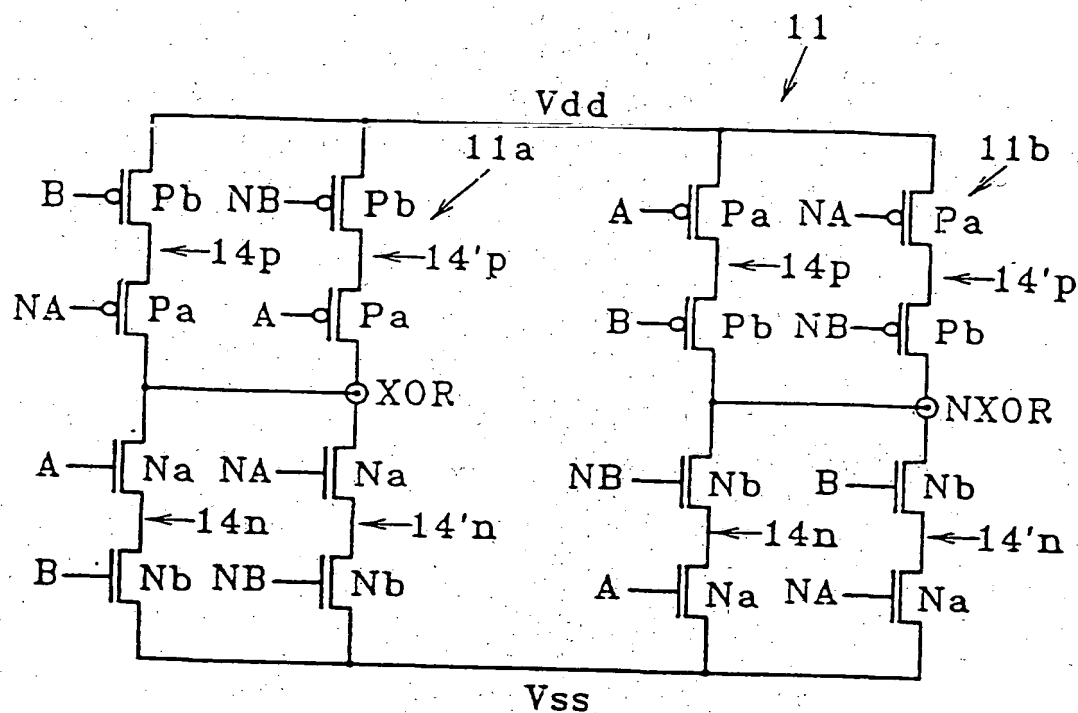


FIG.3

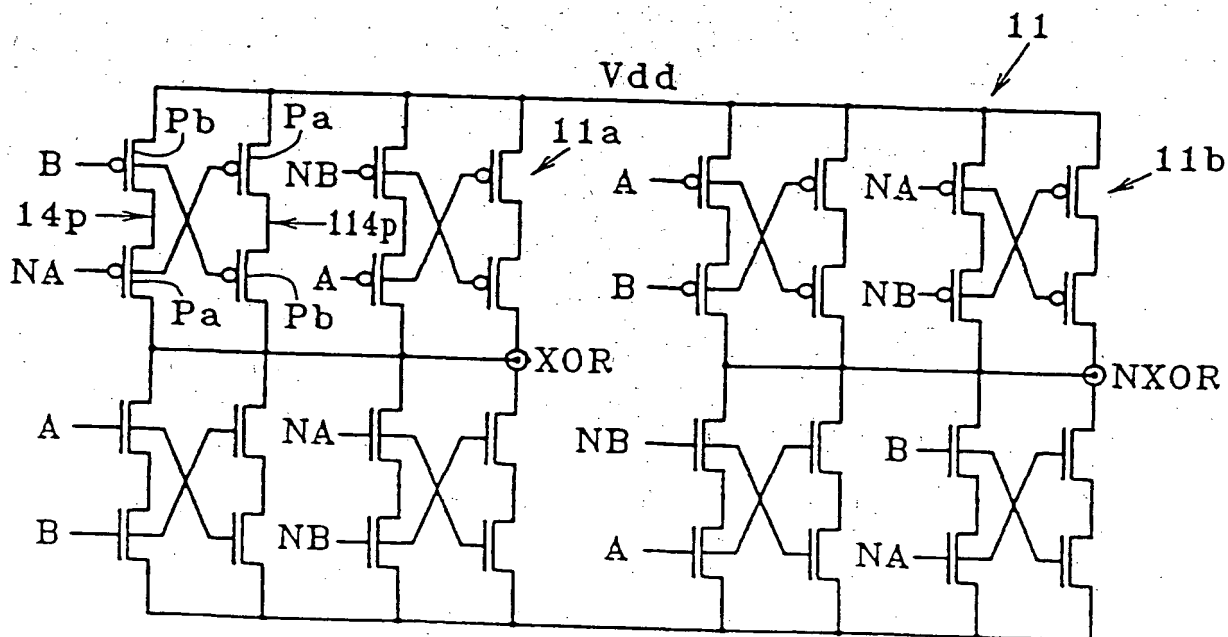


FIG.4

2004.99

18

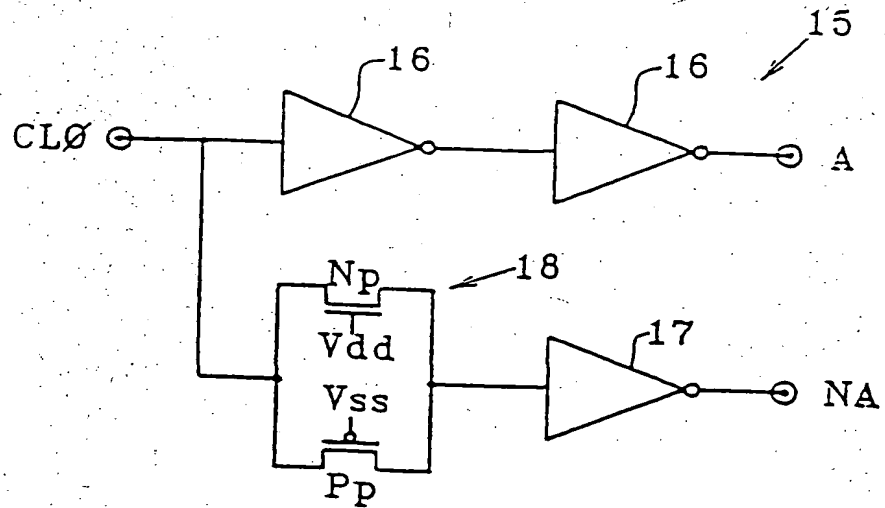


FIG.5

THIS PAGE BLANK (USPTO)